



Cascade Classifier 기반 얼굴 검출 가속기

경북대학교 일반대학원 전자전기공학부

정성훈, 민경국, 김정환, 문병인

서론

얼굴 검출 가속기는 얼굴 인식 시스템의 전처리 시스템으로 사용되며, 전체 이미지에서 얼굴 영역만 추출하여 얼굴 인식 연산의 효율을 높인다. 본 연구에서는 카메라로 입력받은 이미지에서 얼굴 영역만을 검출하기 위해 적응형 부스트(AdaBoost) 학습 알고리즘을 바탕으로 cascade classifier 기반 얼굴 검출 가속기를 설계하였다[1][2]. 설계된 얼굴 검출 가속기는 이미지 피라미드 기법을 채택하여 입력 이미지 내 다양한 크기의 얼굴을 검출할 수 있으며, I2C 기반 통신을 통해 내부 파라미터를 업데이트하여 성능을 개선할 수 있다. 또한, 설계된 얼굴 검출 가속기는 적은 면적과 낮은 전력으로 동작한다. 특히, 얼굴 검출 가속기를 ASIC으로 개발할 경우, 저전력 동작이 필요한 다양한 엷지 디바이스에서의 활용도가 높아진다. 이러한 이유로 cascade classifier 기반 얼굴 검출 가속기를 삼성 28nm 공정을 통해 ASIC으로 개발하였다.

얼굴 검출 가속기의 하드웨어 구조

얼굴 검출 가속기의 하드웨어 구조는 그림 1과 같이 1) 입출력 인터페이스, 2) frame buffer, 3) scaler, 4) address generator, 5) line buffer, 6) integral image generator, 7) cascade classifier, 8) merger, 9) I2C 모듈로 구성된다.

Integral image generator 모듈에서는 word length reduction method [1] 를 적용하여 기존 integral image 생성 방식 대비 메모리 사용량을 50% 줄였다. 또한, 얼굴 검출 속도 향상을 위해 cascade classifier 모듈을 first stage, subsequent stages 두 단계로 나누고 skip scheme [2]을 채택하여 얼굴이 아닌 윈도우와 이미 얼굴이라고 판별한 윈도우에서의 불필요한 연산을 줄였다. 또한, I2C 모듈을 통해 얼굴 검출 연산에 사용되는 파라미터를 업데이트하여 얼굴 검출 성능을 개선할 수 있다.

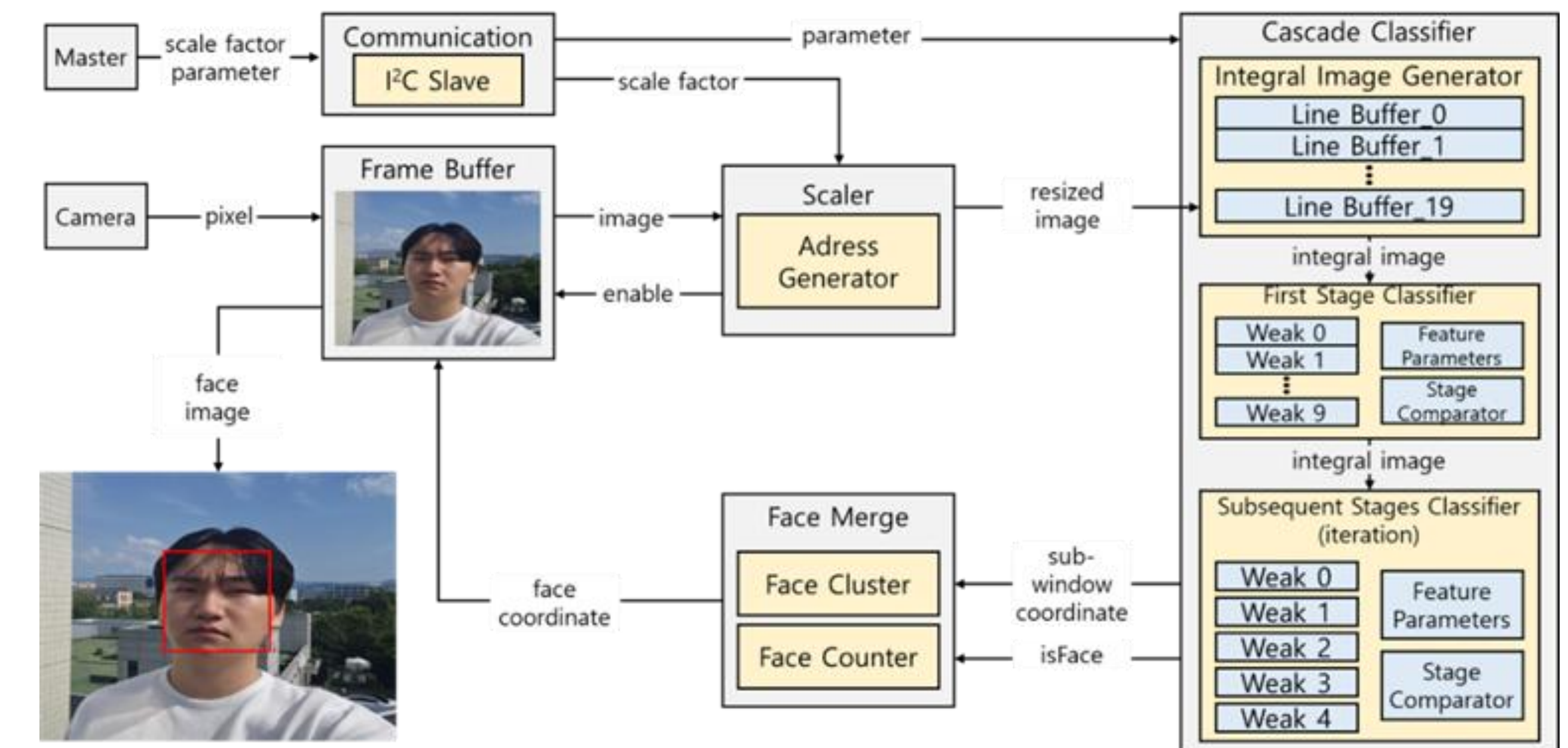


그림 1. 얼굴 검출 가속기의 구조

ASIC 설계

ASIC을 개발하기 위해, Verilog HDL을 사용하여 얼굴 검출 가속기의 하드웨어 구조를 설계하고 FPGA를 통해 HDL의 동작을 검증하였다. FPGA를 통해 검증이 완료된 HDL을 기반으로 ASIC 개발 과정을 따라 순차적으로 ASIC 설계를 수행하였다. 얼굴 검출 가속기 ASIC의 설계 사양은 표 1과 같으며, 게이트 수와 전력은 ICC2 report를 통해 도출한 결과이다. 최종적인 chip의 layout은 그림 2와 같다.

Specifications	
Image resolution	1920 × 1080
Frequency	148.5 MHz
Memory	64 SRAMs of 32512×16 21 SRAMs of 640×8 5 SRAMs and 5 ROMs of 432×60 5 SRAMs and 5 ROMs of 432×26 5 SRAMs and 5 ROMs of 432×18 1 SRAMs and 1 ROMs of 432×15
Gate count	2,614,820
Power	228.11 mW
Die size	4 mm × 4 mm

표 1. ASIC 설계 사양

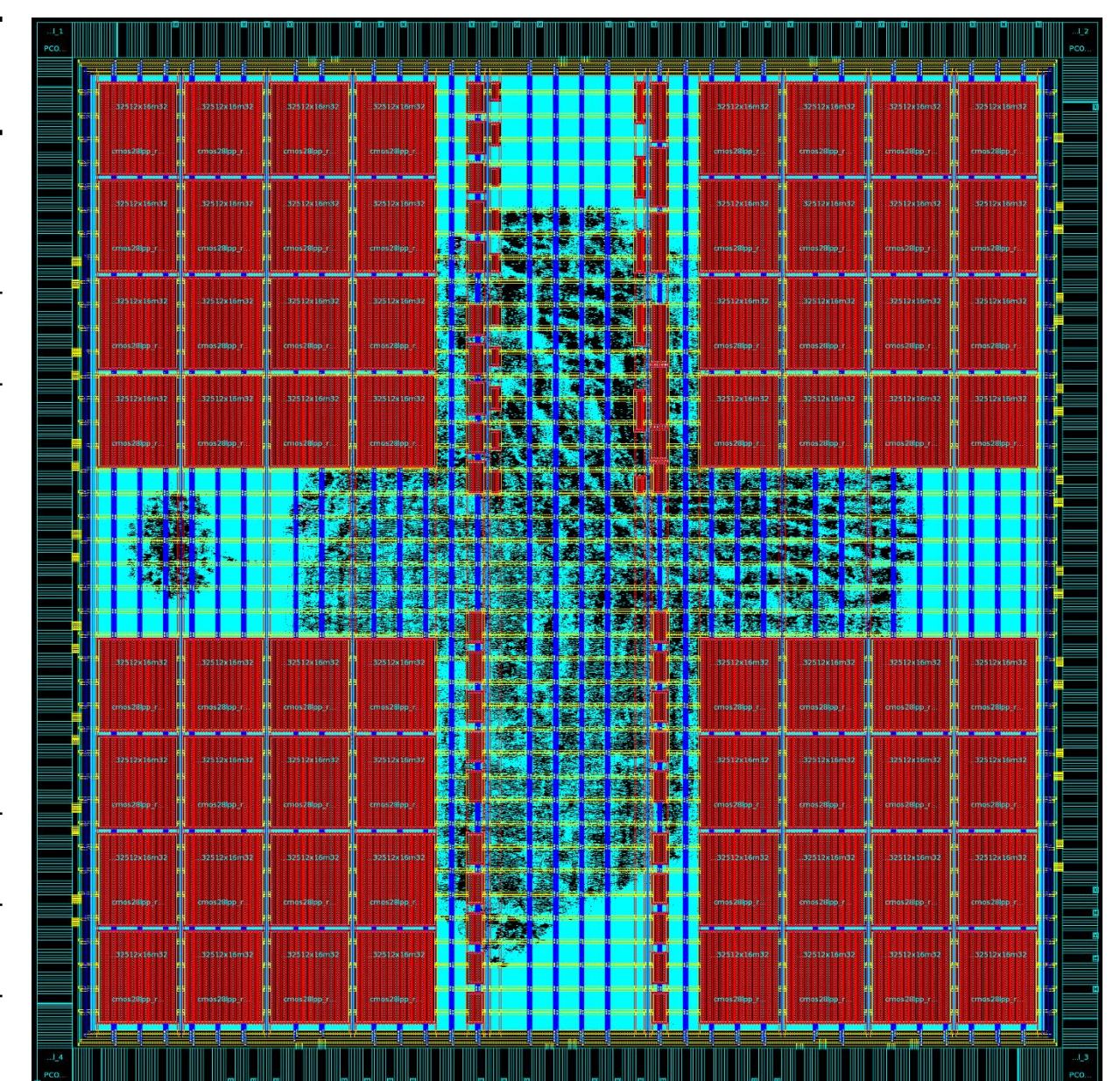


그림 2. Chip layout

Chip 동작 검증을 위한 테스트 환경

얼굴 검출 가속기의 ASIC chip 동작 검증을 위한 테스트 환경은 그림 3과 같다. ASIC 칩은 칩 테스트 보드에 장착되며 FMC interconnect 보드를 통해 SoC 플랫폼 보드와 연결되어 데이터를 주고받는다. 그리고 SoC 플랫폼 보드는 FMC HDMI interconnect 보드를 통해 컴퓨터로부터 HDMI 영상 이미지를 수신하여 ASIC 테스트 보드로 보내고, ASIC의 출력 이미지 데이터를 다시 수신한다. 그 후, SoC 플랫폼 보드는 FMC HDMI interconnect 보드를 통해 ASIC 출력 이미지를 모니터로 출력한다. 최종적으로 모니터에 출력된 영상을 확인함으로써 ASIC 칩의 동작 검증을 수행한다.

결론

본 연구에서는 word length reduction method, skip scheme, 두 단계로 나눈 cascade classifier 모듈, 그리고 I2C 기반 통신 모듈을 채택한 얼굴 검출 가속기 ASIC을 개발하였다. SoC 플랫폼 보드를 사용하여 동작을 검증했을 때, fval, lval 등의 출력 신호가 그림 4와 같이 간헐적으로 0으로 떨어지는 현상이 발견되었지만, I2C 기반 통신을 통해 내부 파라미터를 변경할 수 있음을 확인하였다. 그리고 ASIC의 픽셀 데이터를 출력한 결과, FHD 해상도의 이미지가 초당 15 프레임(fps)으로 출력되는 것을 확인하였다.

참고문헌

- [1] J. Kim, J. Hyun, and B. Moon, "Low-cost Hardware Architecture for Integral Image Generation using Word Length Reduction," in Proc. Int. SoC Design Conf. (ISOCC), pp. 119-120, 2020.
- [2] J. Hyun, J. Kim, C.-H. Choi, and B. Moon, "Hardware Architecture of a Haar Classifier Based Face Detection System Using a Skip Scheme," in Proc. International Symposium on Circuits and Systems (ISOCC), pp. 1-4, 2021.

감사의 글

본 연구는 IDEC에서 MPW와 EDA Tool을 지원받아 수행하였습니다.

본 연구는 2023년도 정부(산업통상자원부)의 재원으로 한국연구재단-실종아동 등 신원확인을 위한 복합인지기술개발사업의 지원을 받아 수행된 연구임 (NRF-2018M3E3A1057248).

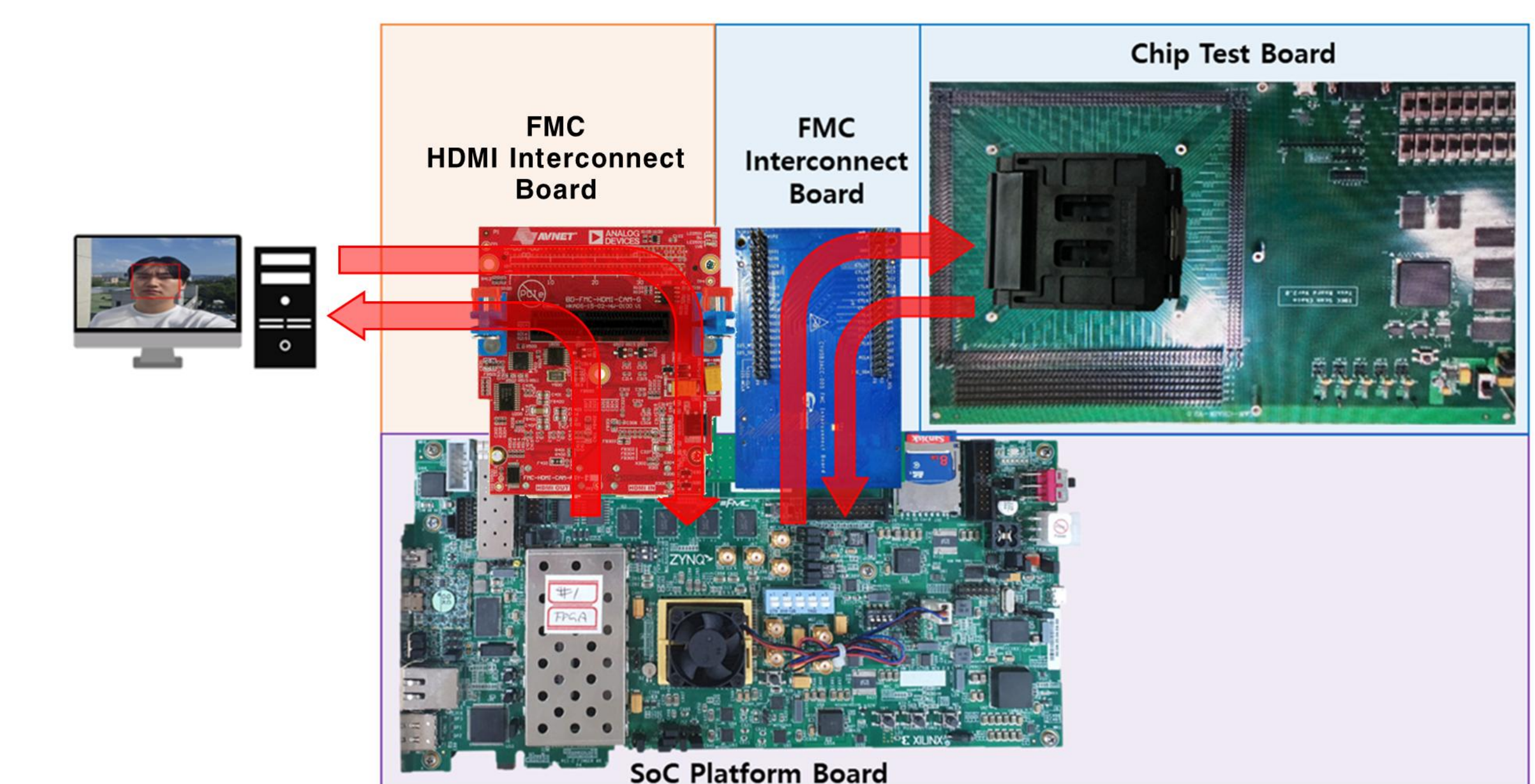


그림 3. Chip 동작 검증을 위한 테스트 환경

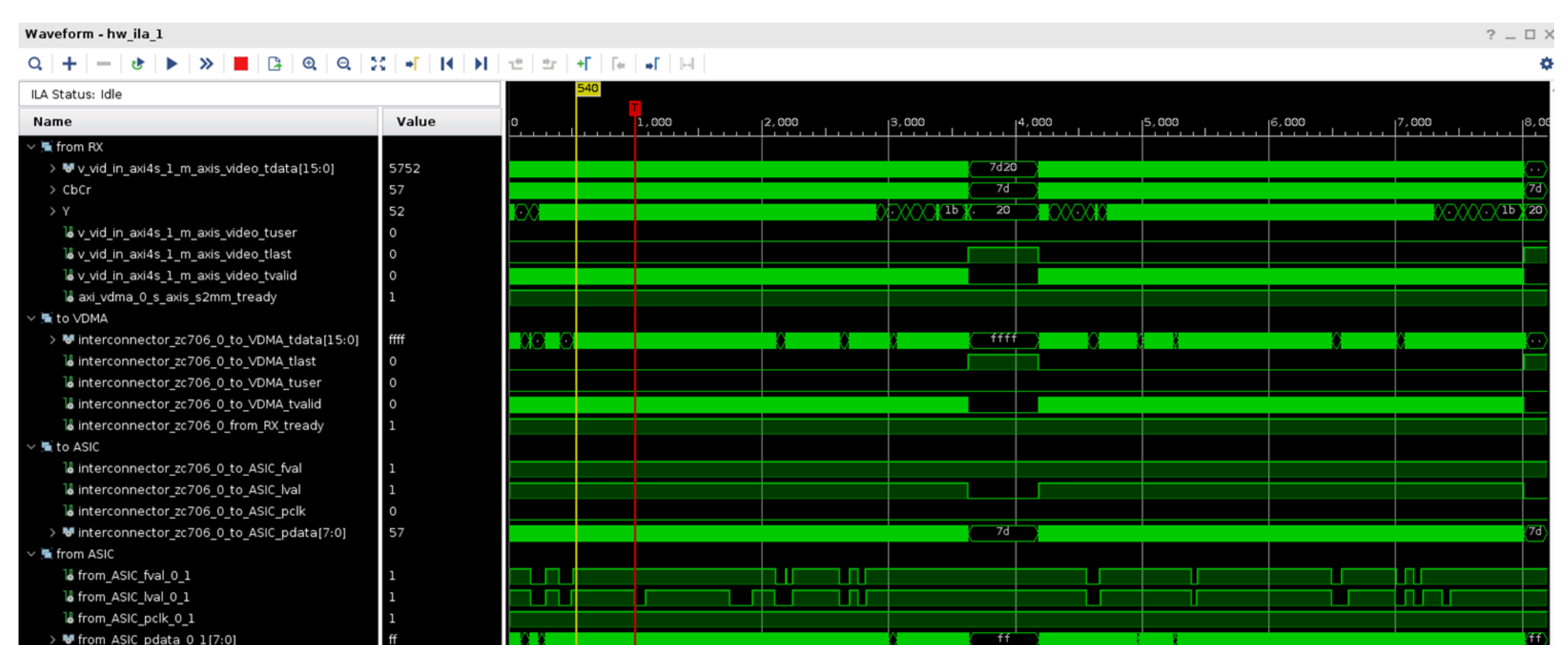


그림 4. Logic analyzer로 분석한 ASIC 입출력 신호 파형